

Family list

2 application(s) for: **JP2003318131**

Sorting criteria: Priority Date Inventor Applicant Ecla

1 DEVICE, MANUFACTURING METHOD THEREFOR AND ELECTRONIC APPARATUS

Inventor: FURUSAWA MASAHIRO

Applicant: SEIKO EPSON CORP

EC: G02F1/1362

IPC: G02B5/20; G02F1/1335; G02F1/1343; (+19)

Publication JP2003318131 (A) - 2003-11-07

Priority Date: 2002-04-22

info: JP4042099 (B2) - 2008-02-06

2 Method of manufacturing device, device, and electronic apparatus

Inventor: FURUSAWA MASAHIRO [JP]

Applicant: FURUSAWA MASAHIRO, ; SEIKO EPSON CORPORATION

EC: G02F1/1362

IPC: G02B5/20; G02F1/1335; G02F1/1343; (+12)

Publication US2004004678 (A1) - 2004-01-08

Priority Date: 2002-04-22

info: US7136127 (B2) - 2006-11-14

Data supplied from the *espacenet* database — Worldwide

DEVICE, MANUFACTURING METHOD THEREFOR AND ELECTRONIC APPARATUS

Patent number: JP2003318131 (A)
Publication date: 2003-11-07
Inventor(s): FURUSAWA MASAHIRO +
Applicant(s): SEIKO EPSON CORP +

Also published as:

JP4042099 (B2)
US2004004678 (A1)
US7136127 (B2)

Classification:

- international: G02B5/20; G02F1/1335; G02F1/1343; G02F1/1362;
G02F1/1368; G09F9/30; H01L21/288; H01L21/336;
H01L29/786; G02B5/20; G02F1/13; G09F9/30; H01L21/02;
H01L29/66; (IPC1-7): G02B5/20; G02F1/1335; G02F1/1343;
G02F1/1368; G09F9/30; H01L21/288; H01L21/336;
H01L29/786

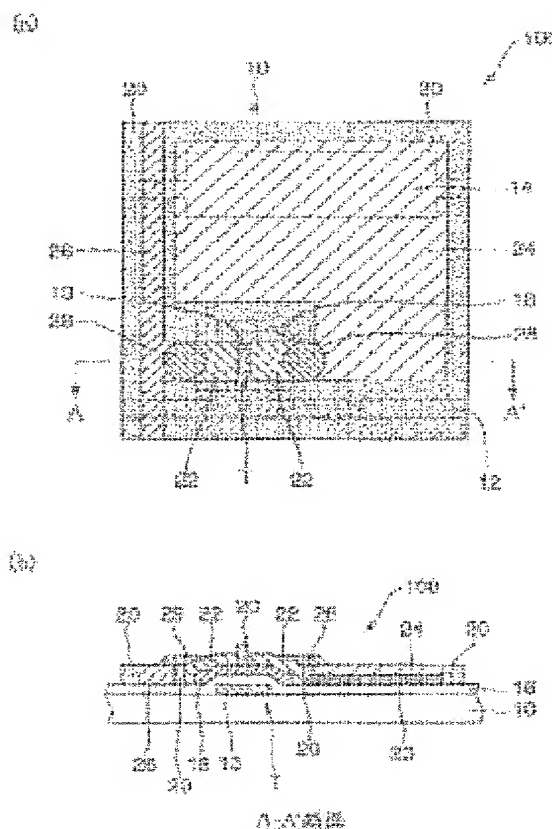
- european: G02F1/1362

Application number: JP20020119968 20020422

Priority number(s): JP20020119968 20020422

Abstract of JP 2003318131 (A)

PROBLEM TO BE SOLVED: To provide a manufacturing method for a device that enables the reduction of a manufacturing cost. ; **SOLUTION:** The pixel 100 of a liquid crystal displaying device includes a channel area 18, a thin film transistor T including a source/drain area 22, a source line 26 to supply a current to the transistor T, a color filter 23, and a pixel electrode 24. When this pixel 100 is formed, a gate electrode 13, a gate insulation film 16, and a channel area 18 are formed on a glass substrate 10. A polyimide film 20 is formed to surround an outer circumference of an area, where each of the source/drain area 22, the color filter 23, the pixel electrode 24, and source line 26 are formed on the glass substrate after the formation of the channel area 18 and others, with a wall thereof. A liquid material is applied on the area surrounded with the wall of the polyimide film 20, and a film is formed by providing heat treatment. ; Then elements such as the color filter 23 and the pixel electrode 24 are formed. ; **COPYRIGHT:** (C)2004,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-318131

(P2003-318131A)

(43)公開日 平成15年11月7日(2003.11.7)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/288		H 0 1 L 21/288	M 2 H 0 4 8
G 0 2 B 5/20	1 0 1	G 0 2 B 5/20	1 0 1 2 H 0 9 1
G 0 2 F 1/1335	5 0 5	G 0 2 F 1/1335	5 0 5 2 H 0 9 2
1/1343		1/1343	4 M 1 0 4
1/1368		1/1368	5 C 0 9 4
審査請求 有 請求項の数32 O L (全 17 頁) 最終頁に続く			

(21)出願番号 特願2002-119968(P2002-119968)

(22)出願日 平成14年4月22日(2002.4.22)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 古沢 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100079108

弁理士 稲葉 良幸 (外2名)

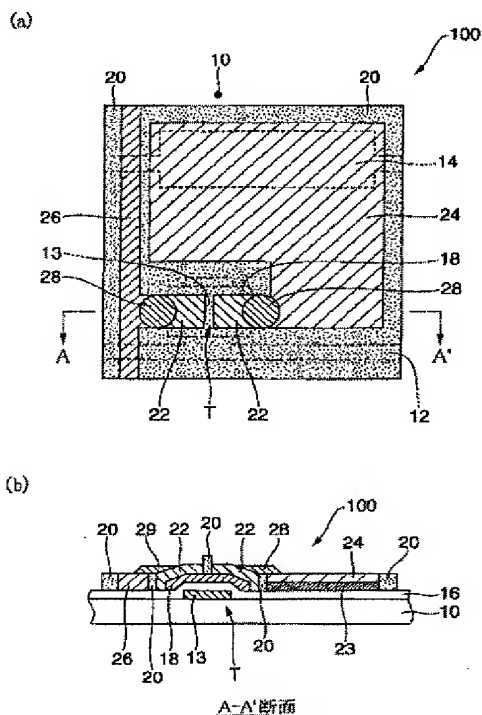
最終頁に続く

(54)【発明の名称】 デバイスの製造方法、デバイス及び電子機器

(57)【要約】

【課題】 製造コストを低減することを可能とするデバイスの製造方法を提供すること。

【解決手段】 液晶表示装置の画素部100は、チャネル領域18、ソース/ドレイン領域22等を含む薄膜トランジスタT、薄膜トランジスタTに電流を供給するソース線26、カラーフィルタ23、画素電極24などを含む。この画素部100を形成する際に、まずガラス基板10上にゲート電極13、ゲート絶縁膜16及びチャネル領域18を形成する。チャネル領域18等を形成後のガラス基板10上に、ソース/ドレイン領域22、カラーフィルタ23及び画素電極24、ソース線26の各々を形成すべき領域の外周を壁で囲むポリイミド膜20を形成する。ポリイミド膜20の壁によって囲まれた領域に液体材料を塗布し、熱処理を加えて成膜し、カラーフィルタ23や画素電極24などの要素を形成する。



【特許請求の範囲】

【請求項 1】少なくともデバイスの一部の要素を、液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、前記複数の要素の領域のうち少なくとも液体材料を使用する要素の領域の外周を壁で囲む隔壁を形成する隔壁形成工程と、前記壁によって囲まれた領域に前記液体材料を塗布し、熱処理を加えて成膜する成膜工程と、を含むデバイスの製造方法。

【請求項 2】前記デバイスは、カラーフィルタと画素電極を含んで構成される画素領域を含み、前記隔壁形成工程は、少なくとも、前記画素領域を形成すべき第 1 の領域の外周を壁で囲む隔壁を形成し、前記成膜工程は、前記第 1 の領域内に前記カラーフィルタ及び前記画素電極を形成する画素領域形成工程を含む、請求項 1 に記載のデバイスの製造方法。

【請求項 3】前記画素領域形成工程は、前記第 1 の領域内に第 1 の液体材料を塗布し、熱処理を加えて前記カラーフィルタを形成した後に、前記第 1 の領域内に第 2 の液体材料を塗布し、熱処理を加えて前記画素電極を形成する、請求項 2 に記載のデバイスの製造方法。

【請求項 4】前記画素領域形成工程は、前記第 1 の領域内に第 1 の液体材料を塗布し、熱処理を加えて前記画素電極を形成した後に、前記第 1 の領域内に第 2 の液体材料を塗布し、熱処理を加えて前記カラーフィルタを形成する、請求項 2 に記載のデバイスの製造方法。

【請求項 5】前記デバイスは、前記画素電極を駆動する薄膜トランジスタであって、前記基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域を順に積層して形成される薄膜トランジスタを更に含んでおり、前記隔壁形成工程は、前記ゲート電極、前記ゲート絶縁膜及び前記チャネル領域が形成された後の前記基板上に、前記第 1 の領域の外周と、前記ソース／ドレイン領域を形成すべき第 2 の領域の外周のそれぞれを壁で囲む隔壁を形成し、前記成膜工程は、前記第 2 の領域内に第 3 の液体材料を塗布して熱処理を加え、前記ソース／ドレイン領域となる半導体膜を形成する半導体膜形成工程を更に含む、請求項 2 乃至 4 のいずれかに記載のデバイスの製造方法。

【請求項 6】前記第 3 の液体材料は、ケイ素化合物及びドーパント源を含有する、請求項 5 に記載のデバイスの製造方法。

【請求項 7】前記画素領域形成工程は、前記画素電極の形成時に、前記画素電極の形成に用いる液体材料を用いて、前記画素電極と前記ソース／ドレイン領域を電気的に接続する接続部も併せて形成する、請求項 5 又は 6 に記載のデバイスの製造方法。

【請求項 8】前記接続部は、前記画素電極と前記ソース／ドレイン領域の間の前記壁を乗り越えるように形成される、請求項 7 に記載のデバイスの製造方法。

【請求項 9】前記画素領域形成工程は、前記第 1 の領域内に第 1 の液体材料を塗布して熱処理を加え、前記カラーフィルタと前記画素電極のそれぞれの機能を兼ね備える機能膜を形成する、請求項 2 に記載のデバイスの製造方法。

【請求項 10】前記第 1 の液体材料は、導電膜形成用の液体材料に対して、染料、顔料又は導電性のカラーレジストのいずれかを混入したものである、請求項 9 に記載のデバイスの製造方法。

【請求項 11】前記デバイスは、前記機能膜を駆動する薄膜トランジスタと、該薄膜トランジスタに電流を供給するための配線を更に含み、前記隔壁形成工程は、前記第 1 の領域の外周と、前記配線を形成すべき第 2 の領域のそれぞれを壁で囲む隔壁を形成し、前記成膜工程は、前記第 2 の領域内に第 2 の液体材料を塗布し、熱処理を加えて、前記配線となる導電膜を形成する配線形成工程を更に含む、請求項 9 又は 10 に記載のデバイスの製造方法。

【請求項 12】前記第 2 の液体材料は、導電性微粒子を含有する、請求項 11 に記載のデバイスの製造方法。

【請求項 13】前記導電性微粒子は、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子である、請求項 12 に記載のデバイスの製造方法。

【請求項 14】前記薄膜トランジスタは、前記基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域を順に積層して形成されており、前記配線形成工程は、前記導電膜の形成に用いる液体材料を用いて、前記機能膜と前記ソース／ドレイン領域を電気的に接続する接続部も併せて形成する、請求項 11 乃至 13 のいずれかに記載のデバイスの製造方法。

【請求項 15】前記接続部は、前記機能膜と前記ソース／ドレイン領域の間の前記壁を乗り越えるように形成される、請求項 14 に記載のデバイスの製造方法。

【請求項 16】前記隔壁形成工程は、前記基板上に絶縁膜を形成し、この絶縁膜に前記液体材料を使用する要素の領域を露出する開口部を形成することにより、前記隔壁を形成する、請求項 1 乃至 15 のいずれかに記載のデバイスの製造方法。

【請求項 17】前記絶縁膜は、ポリイミド膜である、請求項 16 に記載のデバイスの製造方法。

【請求項 18】前記液体材料は、液滴吐出法を用いて供給される、請求項 1 乃至 17 のいずれかに記載のデバイスの製造方法。

【請求項 19】前記デバイスは、液晶表示装置である、請求項 1 乃至 18 のいずれかに記載のデバイスの製造方法。

【請求項 20】基板上に形成される複数の要素を含んで構成されるデバイスであって、前記複数の要素のうち、少なくとも一部の要素の外周を壁で囲むように隔壁が設けられている、デバイス。

【請求項 21】前記隔壁による壁によって囲まれる前記一部の要素は、液体材料を用いて形成されるものである、請求項 20 に記載のデバイス。

【請求項 22】前記デバイスは、カラーフィルタと画素電極を含んで構成される画素領域を備えており、前記隔壁は、少なくとも前記画素領域の外周を壁で囲むように設けられている、請求項 20 又は 21 に記載のデバイス。

【請求項 23】前記画素領域は、前記カラーフィルタ上に前記画素電極を重ねて形成されている、請求項 22 に記載のデバイス。

【請求項 24】前記画素領域は、前記画素電極上に前記カラーフィルタを重ねて形成されている、請求項 22 に記載のデバイス。

【請求項 25】前記画素領域は、前記カラーフィルタと前記画素電極のそれぞれの機能を兼ね備える機能膜によって形成されている、請求項 22 に記載のデバイス。

【請求項 26】前記基板上にゲート電極、ゲート絶縁膜、チャンネル領域及びソース／ドレイン領域を順に積層して形成されており、前記画素電極又は前記機能膜を駆動する薄膜トランジスタを更に備え、前記隔壁は、前記画素領域又は前記機能膜の外周と、前記ソース／ドレイン領域の外周のそれぞれを壁で囲むように形成されている、請求項 22 乃至 25 のいずれかに記載のデバイス。

【請求項 27】前記ソース／ドレイン領域と、前記画素電極又は前記機能膜とを電氣的に接続する接続部を更に備えており、この接続部は、前記画素領域又は前記機能膜と前記ソース／ドレイン領域の間の前記壁を乗り越えるように形成されている、請求項 26 に記載のデバイス。

【請求項 28】前記画素電極を駆動する薄膜トランジスタと、該薄膜トランジスタに電流を供給するための配線を更に備え、前記隔壁は、前記画素領域の外周及び前記配線の外周を壁で囲むように形成されている、請求項 21 乃至 27 のいずれかに記載のデバイス。

【請求項 29】前記薄膜トランジスタは、前記基板上に、ゲート電極、ゲート絶縁膜、チャンネル領域及びソース／ドレイン領域をこの順番に積層して形成されており、前記ソース／ドレイン領域と前記配線を電氣的に接続する接続部を更に備えており、この接続部は、前記ソース／ドレイン領域と前記配線の間の前記壁を乗り越えるように形成されている、請求項 28 に記載のデバイス。

【請求項 30】前記隔壁は、ポリイミド膜を含む、請求

項 20 乃至 29 のいずれかに記載のデバイス。

【請求項 31】前記デバイスは、液晶表示装置である、請求項 20 乃至 30 のいずれかに記載のデバイス。

【請求項 32】請求項 20 乃至 31 のいずれかに記載のデバイスを備える電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ等の薄膜素子を含んで構成されるデバイス（例えば、液晶表示装置等）の製造方法及びこの製造方法により製造されるデバイスに関する。

【0002】

【従来の技術】液晶表示装置は、薄く軽量であり、消費電力が少ないという特徴を有することから、パーソナルコンピュータ、携帯電話、ディジタルスチルカメラ、液晶テレビなどの様々な電子機器に用いられている。

【0003】液晶表示装置では、薄膜トランジスタなどの能動素子を用いて画素部が形成される。画素部を形成する薄膜トランジスタとしては、基板上にゲート電極を形成し、この上にチャンネル領域やソース／ドレイン領域などの半導体層や絶縁層などを積層した逆スタガ型（あるいはボトムゲート型）の構造のものが多く用いられている。

【0004】このような薄膜トランジスタと、ゲート電極に信号を供給するための走査線、ソース／ドレイン領域にデータ信号を供給するためのデータ線、ソース／ドレイン領域と接続され、液晶層に電圧を印加するための画素電極、などの要素を組み合わせることで液晶表示装置の画素回路が構成される。この画素回路が形成された基板（アレイ基板）と、対向電極やカラーフィルタなどが形成された基板（対向基板）とを貼り合わせて、これらの間に液晶材料を封入することにより液晶パネルが構成される。そして、この液晶パネルに駆動回路やバックライトなどの周辺部材を取り付けることにより、液晶表示装置が構成される。

【0005】

【発明が解決しようとする課題】上述した液晶表示装置を製造する際には、CVD法やスパッタリング法などの気相堆積法（すなわち、真空プロセス）により薄膜を形成し、形成した薄膜のうちで不要な部分をフォトリソグラフィ法により除去（エッチング）するというプロセスを何度も繰り返すことにより形成されるのが一般的である。

【0006】しかしながら、このような従来の製造方法は、（１）成膜とエッチングからなるプロセスを何度も繰り返す行うために製造時間が長くなる、（２）形成した薄膜のうち、多くの部分を除去することとなるために原料の使用効率が悪い、（３）エッチング溶液などの廃棄物が多く発生して処理コストがかさむ、などの不都合がある。これらの不都合により、従来の製造方法では、

製造コストを低減することが難しかった。このような不都合は、液晶表示装置の大画面化に伴い、母材となるガラス基板が大型化するほど顕著となる。

【0007】本発明は、このような点に着目して創作されたものであり、製造コストを低減することを可能とするデバイスの製造方法を提供することを目的とする。

【0008】また、本発明は、低コスト化を図ることを可能とするデバイスを提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は、少なくともデバイスの一部の要素を、液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、複数の要素の領域のうち少なくとも液体材料を使用する要素の領域の外周を壁で囲む隔壁を形成する隔壁形成工程と、隔壁による壁によって囲まれた領域に液体材料を塗布し、熱処理を加えて成膜する成膜工程とを含んでいる。

【0010】デバイスの一部の要素の領域の外周を壁で囲む隔壁を形成し、この隔壁による壁によって囲まれた領域に液体材料を塗布して薄膜を成膜することにより、デバイスを構成する要素を形成しているの、CVD法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせることで成膜する従来プロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。また、隔壁による壁を設けていることから、液体材料を塗布する範囲を最小限に抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を減らして処理コストを削減することが可能となる。したがって、デバイスの製造コストを低減することが可能となる。このような本発明の利点は、製造対象となるデバイスの規模が大きくなるほど顕著となる。

【0011】好ましくは、デバイスは、カラーフィルタと画素電極を含んで構成される画素領域を含む。そして、上述した隔壁形成工程においては、少なくとも、画素領域を形成すべき第1の領域の外周を壁で囲む隔壁を形成するようにし、上述した成膜工程には、第1の領域内にカラーフィルタ及び前記画素電極を形成する画素領域形成工程を含むようにする。

【0012】液体材料を用いることにより、画素電極を低コストに形成することが可能となる。また、この画素電極を形成する際に用いる隔壁をカラーフィルタの形成にも利用し、画素電極と同じ領域にカラーフィルタを形成しているの、カラーフィルタの製造プロセスを簡略化することが可能となる。また、カラーフィルタと画素電極を同一の基板上に形成するので、他方の基板（対向基板）には、基板一面に対向電極を成膜すればよく、特にパターニングなどは不要であり、対向基板の製造プロセスを簡略化することが可能となる。

【0013】好ましくは、画素領域形成工程においては、第1の領域内に第1の液体材料を塗布し、熱処理を加えてカラーフィルタを形成した後に、第1の領域内に第2の液体材料を塗布し、熱処理を加えて画素電極を形成する。

【0014】好ましくは、画素領域形成工程においては、第1の領域内に第1の液体材料を塗布し、熱処理を加えて画素電極を形成した後に、第1の領域内に第2の液体材料を塗布し、熱処理を加えてカラーフィルタを形成する。

【0015】好ましくは、デバイスは、画素電極を駆動する薄膜トランジスタであって、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域を順に積層して形成される薄膜トランジスタを更に含む。そして、上述した隔壁形成工程においては、ゲート電極、ゲート絶縁膜及びチャネル領域が形成された後の基板上に、上述した第1の領域の外周と、ソース／ドレイン領域を形成すべき第2の領域の外周のそれぞれを壁で囲む隔壁を形成するようにし、上述した成膜工程には、第2の領域内に第3の液体材料を塗布して熱処理を加え、ソース／ドレイン領域となる半導体膜を形成する半導体膜形成工程を更に含むようにする。このように、半導体膜についても液体材料を用いて形成することにより、デバイスの製造コストを更に削減することが可能となる。

【0016】好ましくは、上述した半導体膜の形成に用いる第3の液体材料は、ケイ素化合物及びドーパント源を含有する。ケイ素化合物の具体例としては、シクロペンタシラン（ Si_5H_{10} ）など、1個以上の環状構造を持ったものに、紫外線を照射することによって光重合させて高次シランとしたものが挙げられる。また、ドーパント源の具体例としては、リンなどの5族元素あるいはホウ素などの3族元素を含有する物質が挙げられる。このようなケイ素化合物及びドーパント源を含有する液体材料を使用することにより、ドーパントが高濃度にドーピングされたシリコン膜を容易に形成することが可能となる。

【0017】好ましくは、画素領域形成工程は、画素電極の形成時に、画素電極の形成に用いる液体材料を用いて、画素電極とソース／ドレイン領域を電気的に接続する接続部も併せて形成する。また、この接続部は、画素電極とソース／ドレイン領域の間の壁を乗り越えるように形成されることが好ましい。画素電極の形成時に、併せて接続部も形成することにより、製造プロセスの更なる簡略化が可能となる。

【0018】また、画素領域形成工程においては、第1の領域内に第1の液体材料を塗布して熱処理を加え、カラーフィルタと画素電極のそれぞれの機能を兼ね備える機能膜を形成するようにしてもよい。また、この機能膜の形成に用いる第1の液体材料は、導電膜形成用の液体

材料に対して、染料、顔料又は導電性のカラーレジストのいずれかを混入したものであることが好ましい。これにより、画素領域の形成を更に簡素化することが可能となる。

【００１９】好ましくは、デバイスは、機能膜を駆動する薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を更に含む。そして、上述した隔壁形成工程においては、第１の領域の外周と、配線を形成すべき第２の領域のそれぞれを壁で囲む隔壁を形成するようにし、上述した成膜工程には、第２の領域内に第２の液体材料を塗布し、熱処理を加えて、配線となる導電膜を形成する配線形成工程を更に含むようにすることが好ましい。このように、配線となる導電膜についても液体材料を用いて形成することにより、デバイスの製造コストを更に削減することが可能となる。

【００２０】好ましくは、上述した導電膜の形成に用いる第２の液体材料は、導電性微粒子を含有する。ここで、導電性微粒子としては、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子や、導電性ポリマー、超電導体の微粒子などが挙げられるが、特に金属微粒子が好ましい。このような導電性微粒子を含有する液体材料を使用することにより、良好な導電膜を容易に形成することが可能となる。

【００２１】好ましくは、薄膜トランジスタは、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域を順に積層して形成されており、配線形成工程においては、導電膜の形成に用いる液体材料を用いて、機能膜とソース／ドレイン領域を電気的に接続する接続部も併せて形成する。また、この接続部は、機能膜とソース／ドレイン領域の間の壁を乗り越えるように形成されることが好ましい。導電膜の形成時に、併せて接続部も形成することにより、製造プロセスの更なる簡略化が可能となる。

【００２２】好ましくは、隔壁形成工程は、基板上に絶縁膜を形成し、この絶縁膜に液体材料を使用する要素の領域を露出する開口部を形成することにより、隔壁を形成する。これにより、液体材料を使用する複数の要素の領域の外周を壁で囲む隔壁を同一プロセスによって同時に形成することが可能となる。

【００２３】また、隔壁を形成する絶縁膜は、ポリイミド膜であることが好ましい。これにより、隔壁を容易に形成することが可能となる。特に、感光性のポリイミド溶剤を使用した場合には、このポリイミド溶剤を基板上に塗布して乾燥させた後、開口部に対応する領域を露光、現像して除去し（ポリイミド溶剤がポジ型の場合）、その後焼成することによって、隔壁を容易に形成することが可能である。

【００２４】好ましくは、上述した各液体材料は、液滴吐出法を用いて供給される。これにより、滴下位置及び滴下量を適切に制御し、かつ高速に液体材料を供給する

ことが可能となる。

【００２５】好ましくは、上述したデバイスは、液晶表示装置である。

【００２６】また、本発明は上述した製造方法によって製造されるデバイスでもある。これにより、デバイスの低コスト化を図ることが可能となる。より具体的には、本発明のデバイスは、以下に述べるような構成を有するものである。すなわち、本発明のデバイスは、基板上に形成される複数の要素を含んで構成されるデバイスであって、複数の要素のうち、少なくとも一部の要素の外周を壁で囲むように隔壁が設けられている。

【００２７】また、隔壁による壁によって囲まれる一部の要素は、液体材料を用いて形成されるものであることが好ましい。また、デバイスは、カラーフィルタと画素電極を含んで構成される画素領域を備えており、隔壁は、少なくとも画素領域の外周を壁で囲むように設けられていることが好ましい。

【００２８】上述した画素領域は、カラーフィルタ上に画素電極を重ねて形成されていることが好ましい。また、画素領域は、画素電極上にカラーフィルタを重ねて形成されていることも好ましい。更に、画素領域は、カラーフィルタと画素電極のそれぞれの機能を兼ね備える機能膜によって形成されていることも好ましい。

【００２９】また、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域を順に積層して形成されており、画素電極又は機能膜を駆動する薄膜トランジスタを更に備えており、隔壁は、画素領域又は機能膜の外周と、薄膜トランジスタのソース／ドレイン領域の外周のそれぞれを壁で囲むように形成されていることが好ましい。

【００３０】また、ソース／ドレイン領域と、画素電極又は機能膜とを電気的に接続する接続部を更に備えており、この接続部は、画素領域又は機能膜とソース／ドレイン領域の間の壁を乗り越えるように形成されていることが好ましい。

【００３１】また、画素電極を駆動する薄膜トランジスタと、この薄膜トランジスタに電流を供給するための配線を更に備えており、隔壁は、画素領域の外周及び配線の外周を壁で囲むように形成されていることが好ましい。

【００３２】また、上述した薄膜トランジスタが、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域をこの順番に積層して形成されている場合には、この薄膜トランジスタのソース／ドレイン領域と上述した配線を電気的に接続する接続部を更に備えることが好ましい。更に、この接続部は、ソース／ドレイン領域と配線の間の壁を乗り越えるように形成されていることが好ましい。

【００３３】また、上述した隔壁は、ポリイミド膜によって形成されていることが好ましい。

【００３４】本発明のデバイスは、液晶表示装置であることが好ましい。また、本発明は、上述したデバイスを備える電子機器でもある。電子機器を一例としては、パーソナルコンピュータや液晶テレビなどが挙げられる。

【００３５】

【発明の実施の形態】以下、本発明を適用した一実施形態の液晶表示装置とその製造方法について、図面を参照しながら説明する。

【００３６】本発明において、液滴吐出法とは、液滴を所望の領域に吐出することにより、被吐出物を含む所望パターンを形成する方法であり、インクジェット法と呼ぶこともある。但し、この場合、吐出する液滴は、印刷物に用いられる所謂インクではなく、デバイスを構成する材料物質を含む液状体であり、この材料物質は、例えばデバイスを構成する導電物質又は絶縁物質として機能し得る物質を含むものである。さらに、液滴吐出とは、吐出時に噴霧されるものに限らず、液状体の１滴１滴が連続するように吐出される場合も含む。

【００３７】図１は、本実施形態の液晶表示装置の構成を概略的に示す図である。本実施形態の液晶表示装置は、素子基板（アレイ基板）と対向基板とが互いに一定の間隙を保って貼付され、この間隙に液晶材料が挟まれた構成となっている。素子基板および対向基板としては、ガラス、石英またはプラスチック等によって構成される絶縁性の板状部材の基板を用いることが可能であり、本実施形態では、ガラス基板を用いている。

【００３８】図１に示すように、ガラス基板１０上には、複数本の走査線１２がＸ（行）方向に延在して形成されており、これらの走査線１２は、走査線駆動回路１３０に接続されている。また、ガラス基板１０上には、複数本のデータ線２６がＹ（列）方向に延在して形成されており、これらのデータ線２６は、データ線駆動回路１４０に接続されている。そして、画素部１００は、走査線１２とデータ線２６との各交差に対応して設けられて、マトリクス状に配列している。なお、走査線駆動回路１３０やデータ線駆動回路１４０は、ガラス基板１０上に形成されていてもよい。

【００３９】図２は、画素部１００の具体的な構成例を示す図である。同図に示す画素部１００は、薄膜トランジスタＴのゲートが走査線１２に、ソースがデータ線２６に、ドレインが画素電極２４にそれぞれ接続されるとともに、画素電極２４と対向電極５０との間に電気光学材料たる液晶ＬＣが挟まれた構成を有している。また、画素電極２４と接地電位ＧＮＤとの間には、蓄積容量６０が形成されている。この蓄積容量６０は、薄膜トランジスタＴを介して画素電極２４に電圧が印加された後、この印加電圧を必要な時間だけほぼ一定に維持するために設けられた容量（キャパシタンス）である。対向電極５０は、画素電極２４と対向するように対向基板に一面に形成される、各画素に共通な透明電極である。

【００４０】次に、図２に示した画素部１００の具体的な構造について説明する。図３は、本実施形態の液晶表示装置の画素部の具体的な構造を示す図である。図３

（ａ）は、１つの画素部１００に着目して示した平面図であり、図３（ｂ）は、図３（ａ）に示すＡ－Ａ'断面図である。

【００４１】図３に示すように、本実施形態の薄膜トランジスタＴは、いわゆる逆スタガ型の構造を有しており、ガラス基板１０上に形成されたゲート電極１３と、このゲート電極１３上に形成されたゲート絶縁膜１６と、ゲート絶縁膜１６上に形成されたチャネル領域１８と、このチャネル領域１８上に形成されたソース／ドレイン領域２２を備えている。

【００４２】また、上述した薄膜トランジスタＴと、走査線（ゲート線）１２、容量線１４、カラーフィルタ２３、画素電極２４、データ線（ソース線）２６のそれぞれを含んで、液晶表示装置の画素部１００が構成されている。本実施形態では、カラーフィルタ２３と画素電極２４は、ガラス基板１０上の同じ領域に重ねて形成されており、これらによって画素領域が形成されている。また、薄膜トランジスタＴのゲート電極１３は、ゲート線１２と一体に形成されている。ゲート線１２及びゲート電極１３の形成方法については後述する。

【００４３】一方のソース／ドレイン領域２２は、接続部２８を介して画素電極２４と電気的に接続されている。画素電極２４は、液晶ＬＣに電圧を印加するためのものである。また、他方のソース／ドレイン領域２２は、接続部２９を介してデータ線２６と接続されている。容量線１４は、上述した蓄積容量６０（液晶層の充電電荷をより安定に保持するための容量）を形成するためのものであり、画素電極２４の下層に形成されている。

【００４４】また、ソース／ドレイン領域２２、カラーフィルタ２３、画素電極２４、データ線２６のそれぞれの周囲を取り囲むようにして、ポリイミド膜２０による壁（バンク）が形成されている。このポリイミド膜２０は、ソース／ドレイン領域２２、カラーフィルタ２３、画素電極２４、データ線２６のそれぞれを形成する際に用いるものであり、その詳細については後述する。

【００４５】このような画素部１００をガラス基板１０上にマトリクス状に形成することによりアレイ基板が構成される。そして、このアレイ基板と、一面に対向電極５０が形成された対向基板のそれぞれに対して配向膜形成などの表面処理を行った後に両者を貼り合わせて、アレイ基板と対向基板の間に液晶材を注入し、駆動回路やバックライトなどを取り付けることにより液晶表示装置が構成される。液晶表示装置の具体例については後述する。

【００４６】次に、本実施形態の薄膜トランジスタ及びこの薄膜トランジスタを含んで構成される画素回路の製

造方法について詳細に説明する。図４～図１０は、本実施形態の製造方法について説明する説明図である。

【００４７】（ゲート線、ゲート電極及び容量線の形成工程）図４は、ゲート線、ゲート電極及び容量線の形成工程を説明する図である。図４（ａ）はガラス基板１０を上面側から見た平面図を示し、図４（ｂ）は図４（ａ）に示すＢ－Ｂ′断面を示している。

【００４８】図４に示すように、ガラス基板１０上の所定位置に、液滴吐出法によって、ゲート線１２及びゲート電極１３を一体に形成するとともに、容量線１４を形成する。具体的には、ガラス基板１０の上面に、ある程度の様な撥液性を持たせる。次に、ガラス基板１０の上面に対して、導電性微粒子を含有する溶液を吐出し、ゲート線１２、ゲート電極１３及び容量線１４のそれぞれを描画する。その後、溶液が塗布されたガラス基板１０に熱処理を行うことにより、ゲート線１２、ゲート電極１３及び容量線１４が形成される。

【００４９】ここで、導電性微粒子としては、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子や、導電性ポリマーや超電導体の微粒子などが考えられる。本実施形態では、これらの導電性微粒子を有機溶媒に分散させて生成した溶液を用いる。微粒子を分散させるために、微粒子表面に有機物などをコーティングして使うこともできる。また、基板に塗布するにあたり、溶媒への分散のしやすさと液滴吐出法の適用の観点から、微粒子の粒径は０．１μ以下であることが好ましい。

【００５０】例えば、粒径が０．０１μ程度の銀の微粒子を含有するペースト（分散溶媒としてα-テルピネオールを使用）をトルエンで希釈し、粘度が８cP程度となるようにして溶液を用いることにより、幅２０μm、厚さ０．５μm、抵抗率２μΩcmのゲート線１２及びゲート電極１３を形成することが可能である。

【００５１】なお、ゲート線１２等の形成領域の周囲を囲む壁（バンク）を形成した後に溶液の吐出を行うか、あるいは、ガラス基板１０の上面に対する撥液処理に加えて、ゲート線１２等の形成領域に対して親液処理を行った後に溶液の吐出を行うようにしてもよい。これらの方法により、ゲート線１２等の形成領域へ塗布された溶液の広がりを抑制し、ゲート線１２等の形状をより精度よく形成することが可能になる。

【００５２】また、ゲート線１２等は、一般的なスパッタリング法、プラズマ化学気相堆積法（PECVD法）や低圧化学気相堆積法（LPCVD法）等の気相堆積法によってガラス基板１０の上面全体に製膜した後に、パターンニングを行うことによって形成してもよい。

【００５３】（ゲート絶縁膜及び非晶質シリコン膜の形成工程）図５は、ゲート絶縁膜及び非晶質（アモルファス）シリコン膜の形成工程を説明する図である。図５（ａ）はガラス基板１０を上面側から見た平面図を示

し、図５（ｂ）は図５（ａ）に示すＣ－Ｃ′断面を示している。

【００５４】図５に示すように、ガラス基板１０、ゲート線１２、ゲート電極１３及び容量線１４のそれぞれを覆うように、ガラス基板１０の上面全体にゲート絶縁膜１６を形成する。このゲート絶縁膜１６としては、PECVD法によって窒化シリコン（SiNx）膜を形成することが好適である。また、窒化シリコンと酸化シリコン（SiO₂）を重ねて堆積した２層構造の膜によってゲート絶縁膜１６を形成してもよい。この場合には、CVD法において、成膜途中で反応ガスを変更することにより複数種類の薄膜を連続的に製膜する、いわゆる連続CVD法を用いて膜形成を行うことが好適である。

【００５５】次に、ゲート絶縁膜１６上の所定位置に、非晶質シリコン膜からなるチャネル領域１８を形成する。具体的には、チャネル領域１８は、PECVD法などの気相堆積法によってガラス基板１０の上面全体に非晶質シリコン膜を形成した後に、所望の形状にパターンニングすることによって、図５（ａ）に示すように、ゲート電極１３上に島状に形成される。また、ガラス基板１０への非晶質シリコン膜の形成は、連続CVD法を用いることにより、上述したゲート絶縁膜１６の形成と連続して行うことが更に望ましい。

【００５６】（ポリイミド膜によるバンクの形成工程）図６は、ポリイミド膜によるバンク（壁）の形成工程を説明する図である。図６（ａ）はガラス基板１０を上面側から見た平面図を示し、図６（ｂ）は図６（ａ）に示すＤ－Ｄ′断面を示している。

【００５７】図６に示すように、ガラス基板１０等の上面に、所定形状の開口部a１、a２、a３、a４を有するポリイミド膜２０を形成する。具体的には、ポリイミド膜２０に設けられている開口部a１は、後の工程においてカラーフィルタ２３及び画素電極２４が形成されるべき領域（画素領域）を露出するように形成される。これにより、カラーフィルタ２３及び画素電極２４の形成領域の外周にポリイミド膜２０によるバンクが形成される。

【００５８】開口部a２は、後の工程においてデータ線２６が形成されるべき領域を露出するように形成される。これにより、データ線２６の形成領域の周囲に、ポリイミド膜２０によるバンクが形成される。同様に、開口部a３、a４は、後の工程において、薄膜トランジスタＴのソース／ドレイン領域２２が形成されるべき領域を露出するように形成される。これにより、ソース／ドレイン領域２２の形成領域の周囲に、ポリイミド膜２０によるバンクが形成される。

【００５９】このようなポリイミド膜２０は、例えば、ガラス基板１０の上面全体に感光性のポリイミド溶剤を塗布して乾燥させた後に、開口部a１～a４のそれぞれに対応する領域を露光、現像して除去し（ポリイミド溶

剤がボジ型の場合)、その後300℃～400℃程度の温度で焼成することによって形成することができる。また、ポリイミド膜20は、0.5～10μm程度の厚さに形成することが好適である。

【0060】(ソース/ドレイン領域の形成工程)図7は、ソース/ドレイン領域の形成工程を説明する図である。図7(a)はガラス基板10を上面側から見た平面図を示し、図7(b)は図7(a)に示すE-E'断面図を示している。

【0061】図7に示すように、ポリイミド膜20に設けられた開口部a3、a4(図6参照)の内側に、ドーパントが高濃度に添加された非晶質シリコン膜からなるソース/ドレイン領域22を形成する。本実施形態では、ソース/ドレイン領域22は、液滴吐出法を用いて形成される。

【0062】具体的には、まず、リンなどの5族元素あるいはホウ素などの3族元素を含有する物質をドーパント源として添加したケイ素化合物を含有する溶液、または、それらの元素(リン、ホウ素等)で変性されたケイ素化合物と変性されていないケイ素化合物とを含有する溶液を液滴吐出ヘッドから吐出し、開口部a3、a4の内部に充填する。以下、このようなケイ素化合物を含有する溶液を「シリコン溶液」と称することとする。

【0063】次に、開口部a3、a4のそれぞれに充填したシリコン溶液を乾燥させて、その後、300℃～400℃程度の温度で焼成する。これら一連の処理は、窒素などの不活性ガスの雰囲気中で行われる。これにより、ポリイミド膜20によって形成されるバンクに周囲を囲まれた開口部a3、a4の内部に、ドーパント(ドナー又はアクセプタ)が高濃度にドーピングされた非晶質シリコン膜からなるソース/ドレイン領域22が形成される。

【0064】ここで、上述したケイ素化合物としては、シクロペンタシラン(Si_5H_{10})など、1個以上の環状構造を持ったものに、紫外線を照射することによって光重合させて高次シランとしたものを用いることが特に好ましい。この場合には、リン化合物やホウ素化合物を混合した後に紫外線を照射し、重合時にこれらを取り込んだ形で高次シラン化合物とすることが更に好ましい。また、シリコン溶液を形成するための溶媒としては、ケイ素化合物を溶解し、該化合物と反応しないものであれば特に限定されないが、通常、室温での蒸気圧が0.001～200mmHgのものが好適である。溶媒の具体例としては、ベンゼンやトルエンなどの炭素水素系溶媒が挙げられる。

【0065】なお、更に好ましくは、液滴吐出ヘッドからシリコン溶液を吐出をするより以前に、開口部a3、a4の内側を親液化し、その周囲については撥液化しておくといふ。親液化、撥液化の処理は、例えば、ガラス基板10の全体を大気圧プラズマで酸素プラズマ処理し

て親液化し、次いで、 CF_4 プラズマ処理を行い、ポリイミド膜20の部分のみを撥液化することにより実現可能である。

【0066】(データ線の形成工程)図8は、データ線の形成工程を説明する図である。図8(a)はガラス基板10を上面側から見た平面図を示し、図8(b)は図8(a)に示すF-F'断面図を示している。

【0067】図8に示すように、ポリイミド膜20に設けられた開口部a2(図6参照)の内側にデータ線26を形成する。本実施形態では、データ線26についても液滴吐出法を用いて形成される。具体的には、上述したゲート線12等の形成に用いるものと同様の金属超微粒子を有機溶剤に分散させた溶液を液滴吐出ヘッドから吐出して開口部a2の内部に充填し、その後、乾燥及び熱処理(例えば、300℃30分間)を行う。これにより、ポリイミド膜20によるバンクに周囲を囲まれた開口部a2の内部に、データ線26が形成される。

【0068】また、データ線26の形成と併せて、金属微粒子を含有した上記溶液を用いて、ソース/ドレイン領域22とデータ線26の間の電気的接続を図るための接続部29を形成する。図8に示すように、接続部28は、ソース/ドレイン領域22とデータ線26の間に存在するポリイミド膜20によるバンクを乗り越えるようにして形成される。

【0069】(カラーフィルタ及び画素電極の形成工程)図9は、カラーフィルタの形成工程を説明する図である。図9(a)はガラス基板10を上面側から見た平面図を示し、図9(b)は図9(a)に示すG-G'断面図を示している。

【0070】図9に示すように、ポリイミド膜20に設けられた開口部a1(図6参照)の内側にカラーフィルタ23を形成する。本実施形態では、このカラーフィルタ23についても液滴吐出法を用いて形成される。具体的には、カラーフィルタ用樹脂組成物を液滴吐出ヘッドから吐出して開口部a1の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜20によるバンクに周囲を囲まれた開口部a1の内部にカラーフィルタ23が形成される。

【0071】次に、カラーフィルタ23上に画素電極24を形成する。図10は、画素電極の形成工程を説明する図である。図10(a)はガラス基板10を上面側から見た平面図を示し、図10(b)は図10(a)に示すH-H'断面図を示している。

【0072】図10に示すように、ポリイミド膜20に設けられた開口部a1(図6参照)の内側であって先に形成されたカラーフィルタ23上に、ITO(Indium Tin Oxide)膜からなる画素電極24を形成する。本実施形態では、画素電極24についても液滴吐出法を用いて形成される。具体的には、塗布型のITO溶液を液滴吐出ヘッドから吐出して開口部a1の内部に充填し、その

後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜20によるバンクに周囲を囲まれた開口部a1の内部に画素電極24が形成される。

【0073】例えば、一般的なITO塗布液を開口部a1に充填した後に、160℃の空気雰囲気中で5分間乾燥させ、その後に、250℃の空気雰囲気中で60分間の熱処理を行うことにより、厚さ1500Å程度の画素電極24を形成することが可能である。

【0074】また、画素電極24の形成と同時に、塗布型のITO溶液を用いて、ソース／ドレイン領域22と画素電極24の間の電気的接続を図るための接続部28を形成する。図10に示すように、接続部28は、ソース／ドレイン領域22と画素電極24の間に存在するポリイミド膜20によるバンクを乗り越えるようにして形成される。これにより、上述した図3に示した本実施形態の薄膜トランジスタTと、これを含んで構成される画素部100が完成する。また、必要に応じて、画素部100の上面に酸化シリコン膜などによる保護膜を形成してもよい。

【0075】このように、本実施形態の製造方法は、液晶表示装置の一部の要素（カラーフィルタ23、画素電極24、ソース／ドレイン領域22、データ線26）の領域の外周を壁で囲むポリイミド膜20を形成し、このポリイミド膜20による壁によって囲まれた領域に液体材料を塗布して薄膜を成膜することにより、各要素を形成している。これにより、CVD法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせる従来のプロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。また、ポリイミド膜20による壁を設けていることから、液体材料を塗布する範囲を最小限に抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を減らして処理コストを削減することが可能となる。したがって、デバイスの製造コストを低減することが可能となる。

【0076】次に、カラーフィルタ及び画素電極の形成工程について、他の実施形態を説明する。上述した実施形態では、カラーフィルタを先に形成し、その上に画素電極を重ねて形成していたが、画素電極を先に形成し、その上にカラーフィルタを重ねて形成するようにしてもよい。以下、この実施形態におけるカラーフィルタ及び画素電極の形成工程について説明する。

【0077】図11及び図12は、画素電極を先に形成し、その上にカラーフィルタを形成する場合の形成工程について説明する説明図である。図11は、画素電極の形成工程を示しており、図11(a)はガラス基板10を上面側から見た平面図を示し、図11(b)は図11(a)に示すI-I'断面図を示している。

【0078】図11に示すように、ポリイミド膜20に設けられた開口部a1（図6参照）の内側に、液滴吐出

法を用いて、ITO（Indium Tin Oxide）膜からなる画素電極24aを形成する。具体的には、塗布型のITO溶液を液滴吐出ヘッドから吐出して開口部a1の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜20によるバンクに周囲を囲まれた開口部a1の内部に画素電極24aが形成される。また、画素電極24aの形成と併せて、塗布型のITO溶液を用いて、ソース／ドレイン領域22と画素電極24aの間の電気的接続を図るための接続部28aを形成する。図11に示すように、接続部29aは、ソース／ドレイン領域22と画素電極24aの間に存在するポリイミド膜20によるバンクを乗り越えるようにして形成される。

【0079】次に、画素電極24a上にカラーフィルタを形成する。図12は、カラーフィルタの形成工程を示しており、図12(a)はガラス基板10を上面側から見た平面図を示し、図12(b)は図12(a)に示すJ-J'断面図を示している。

【0080】図12に示すように、ポリイミド膜20に設けられた開口部a1（図6参照）の内側であって画素電極24a上に、液滴吐出法を用いてカラーフィルタ23aを形成する。具体的には、カラーフィルタ用樹脂組成物を液滴吐出ヘッドから吐出して開口部a1の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜20によるバンクに周囲を囲まれた開口部a1の内部にカラーフィルタ23aが形成される。

【0081】また、上述した実施形態では、カラーフィルタと画素電極を重ねて形成することによって画素領域を形成していたが、これらのカラーフィルタ（CF）と画素電極の各々の機能を兼ね備える一体の機能膜として画素領域を形成するようにしてもよい。なお、以後の説明では、カラーフィルタと画素電極の各々の機能を兼ね備えた機能膜を「CF／画素電極」と称することとする。以下、この実施形態におけるCF／画素電極の形成工程について説明する。

【0082】図13及び図14は、カラーフィルタとしての機能を兼ね備えた画素電極（CF／画素電極）を形成する場合の形成工程について説明する説明図である。図13は、ソース／ドレイン領域とCF／画素電極とを電気的に接続するための接続部の形成工程を示しており、図13(a)はガラス基板10を上面側から見た平面図を示し、図13(b)は図13(a)に示すK-K'断面図を示している。

【0083】図13に示すように、金属微粒子を含有した溶液を用いて、後に開口部a1内に形成されるCF／画素電極とソース／ドレイン領域22との間の電気的接続を図るための接続部28bを形成する。図13に示すように、接続部28bは、ソース／ドレイン領域22と開口部a1の間に存在するポリイミド膜20によるバンクを乗り越えるようにして形成される。この接続部28

bの形成は、金属微粒子を含有する溶液を用いて行われるデータ線26及び接続部29の形成工程と同一プロセス内で行うようにする。

【0084】次に、開口部a1内に、CF／画素電極を形成する。図14は、CF／画素電極の形成工程を示しており、図14(a)はガラス基板10を上側から見た平面図を示し、図14(b)は図14(a)に示すL-L'断面図を示している。

【0085】図14に示すように、ポリイミド膜20に設けられた開口部a1の内側に、液滴吐出法を用いてCF／画素電極25を形成する。具体的には、塗布型のITO溶液に各種の染料や顔料、あるいは導電性のカラーレジストなどの着色材料を混ぜて生成した溶液を液滴吐出ヘッドから吐出して開口部a1の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜20によるバンクに周囲を囲まれた開口部a1の内部にCF／画素電極25が形成される。

【0086】なお、接続部28bとCF／画素電極25の形成順序を逆にしてもよい。この場合には、開口部a1内にCF／画素電極25を形成した後に、上述した図10に示した接続部29と同様に、ポリイミド膜20によるバンクを乗り越えるようにして、ソース／ドレイン領域22とCF／画素電極25を接続する接続部29bを形成すればよい。また、上述した各実施形態では、データ線を形成した後に、カラーフィルタと画素電極の形成を行っていたが、これらの形成順序を入れ替えてもよい。

【0087】また、上述した実施形態では、薄膜トランジスタTのチャンネル領域18となるべき非晶質シリコン膜は、PECVD法などの気相堆積法によって形成していたが、液滴吐出法によって形成することも可能である。

【0088】図15は、液滴吐出法によって非晶質シリコン膜を形成する場合の形成工程を説明する図である。図15(a)はガラス基板10を上側から見た平面図を示し、図15(b)は図15(a)に示すM-M'断面図を示している。

【0089】まず、上述した実施形態と同様に、ゲート線12、ゲート電極13及び容量線14のそれぞれを覆うように、ガラス基板10の上側全体にゲート絶縁膜16を形成する(図5参照)。次に、ゲート絶縁膜16が形成された後のガラス基板10を窒素雰囲気中に導入する。

【0090】次に、液滴吐出ヘッドを用いて、チャンネル領域を形成すべき範囲にシリコン溶液(ケイ素化合物を含有する溶液)を吐出する。この場合のシリコン溶液としては、上述したソース／ドレイン領域の形成に用いられるものと同様のケイ素化合物を含有する溶液であって、リンなどの5族元素あるいはホウ素などの3族元素からなるドーパント源が添加されていないものが好適で

ある。

【0091】その後、吐出されたシリコン溶液を乾燥させ、300℃～400℃程度の温度で焼成することにより、図15に示すように、ゲート電極13上の所定位置に、非晶質シリコンからなる島状のチャンネル領域18aが形成される。チャンネル領域18aは、寸法精度の要求が比較的到低く、液滴吐出法により吐出されたシリコン溶液が多少広がっても問題とならない。なお、液体の広がり許容範囲を超える場合には、基板表面全体を撥液化したり、チャンネル領域18aを形成すべき範囲のみを親液化してそれ以外を撥液化する処理を行うことにより、シリコン溶液の広がりを抑制することが可能である。

【0092】次に、上述した実施形態に係る液晶表示装置を備えた電子機器について説明する。図16は、本実施形態に係る液晶表示装置をモバイル型のパーソナルコンピュータ(情報処理装置)に適用した例を示す斜視図である。同図において、パーソナルコンピュータ1100は、キーボード1102を備えた本体部1104と、本実施形態に係る液晶表示装置1106を含んで構成されている。本実施形態に係る製造方法は、図16に示すような画面サイズの大きな液晶表示装置を製造する場合に特に好適である。

【0093】なお、本実施形態の液晶表示装置を含んで構成される電子機器としては、図16のパーソナルコンピュータの他にも、デジタルスチルカメラ、電子ブック、電子ペーパー、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器など種々のものが挙げられる。

【0094】

【発明の効果】以上説明したように、本発明によれば、CVD法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせることで成膜する従来プロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。また、隔壁による壁を設けることにより、液体材料を塗布する範囲を最小限に抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を減らして処理コストを削減することが可能となる。したがって、デバイスの製造コストの低減を図ることが可能となる。また、本発明の製造方法を適用することにより、デバイスの低コスト化を図ることが可能となる。

【図面の簡単な説明】

【図1】一実施形態の液晶表示装置の構成を概略的に示す図である。

【図2】画素部の具体的な構成例を示す図である。

【図3】画素部の具体的な構造を示す図である。

【図4】本実施形態の製造方法について説明する説明図

である。

【図 5】本実施形態の製造方法について説明する説明図である。

【図 6】本実施形態の製造方法について説明する説明図である。

【図 7】本実施形態の製造方法について説明する説明図である。

【図 8】本実施形態の製造方法について説明する説明図である。

【図 9】本実施形態の製造方法について説明する説明図である。

【図 10】本実施形態の製造方法について説明する説明図である。

【図 11】画素電極を先に形成し、その上にカラーフィルタを形成する場合の形成工程について説明する説明図である。

【図 12】画素電極を先に形成し、その上にカラーフィルタを形成する場合の形成工程について説明する説明図である。

【図 13】カラーフィルタとしての機能を備えた画素電極（CF／画素電極）を形成する場合の形成工程について説明する説明図である。

【図 14】カラーフィルタとしての機能を備えた画素電

極（CF／画素電極）を形成する場合の形成工程について説明する説明図である。

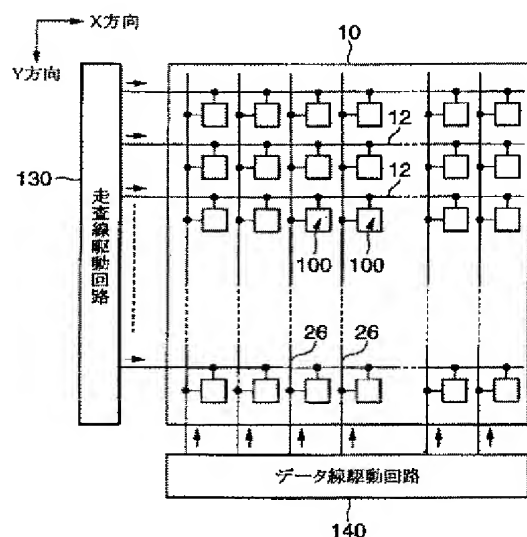
【図 15】液滴吐出法によって非晶質シリコン膜を形成する場合の形成工程を説明する図である。

【図 16】液晶表示装置をモバイル型のパーソナルコンピュータ（情報処理装置）に適用した例を示す斜視図である。

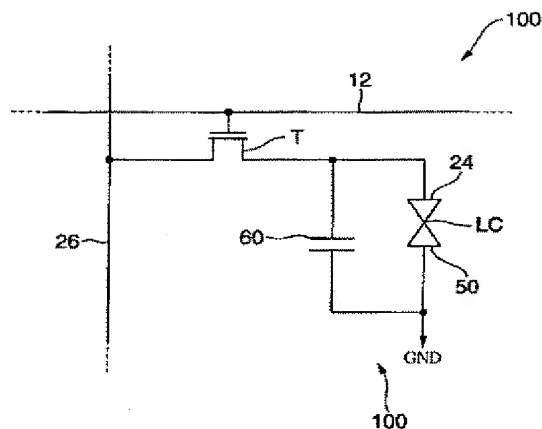
【符号の説明】

- 10 ガラス基板
- 12 ゲート線（走査線）
- 13 ゲート電極
- 14 容量線
- 16 ゲート絶縁膜
- 18、18a チャンネル領域
- 20 ポリイミド膜
- 22 ソース／ドレイン領域
- 23、23a カラーフィルタ
- 24、24a 画素電極
- 25 CF／画素電極
- 26 データ線（ソース線）
- 28、28a、28b、29 接続部
- 100 画素部
- T 薄膜トランジスタ

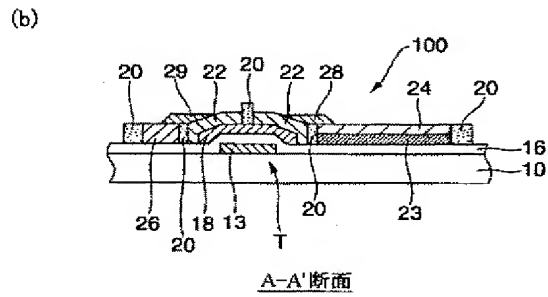
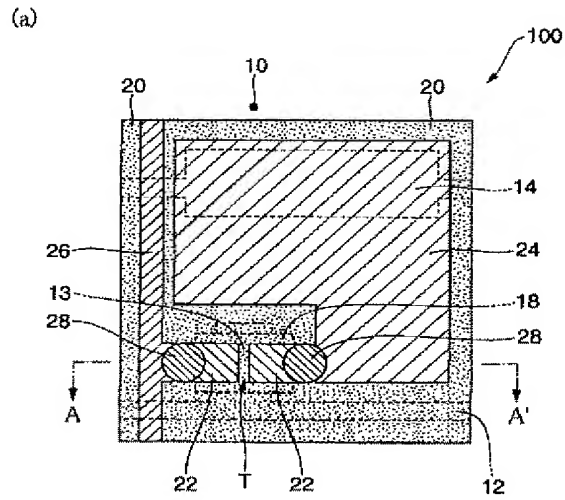
【図 1】



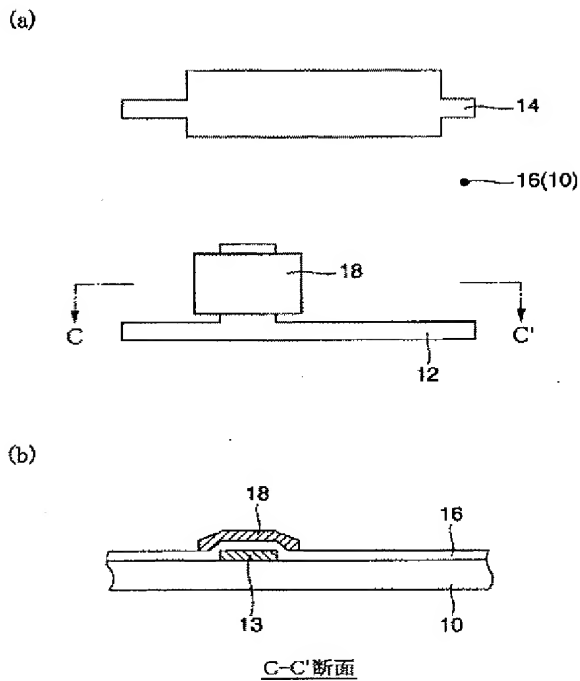
【図 2】



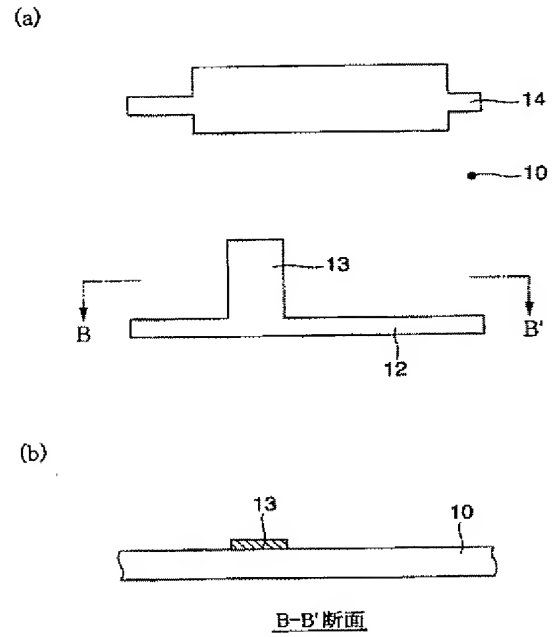
【图 3】



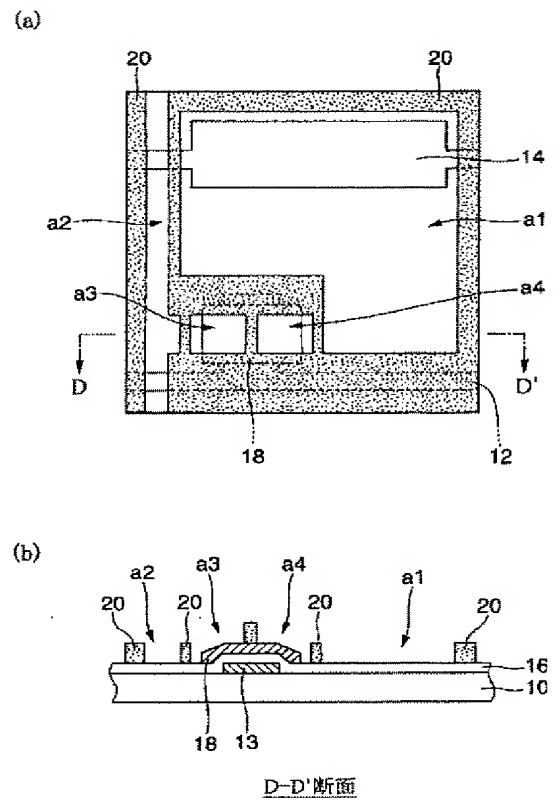
【図 5】



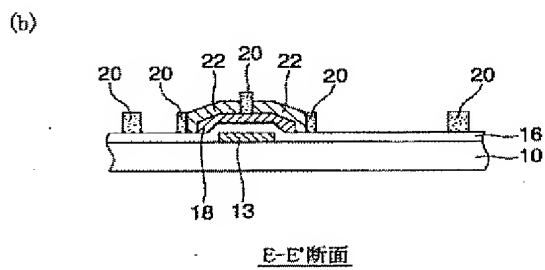
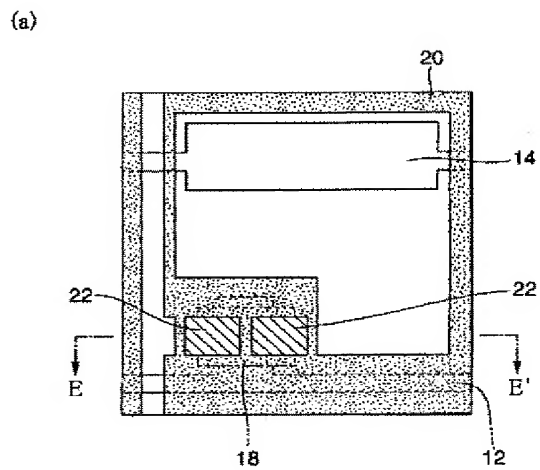
【图4】



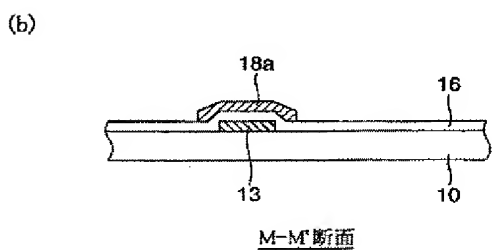
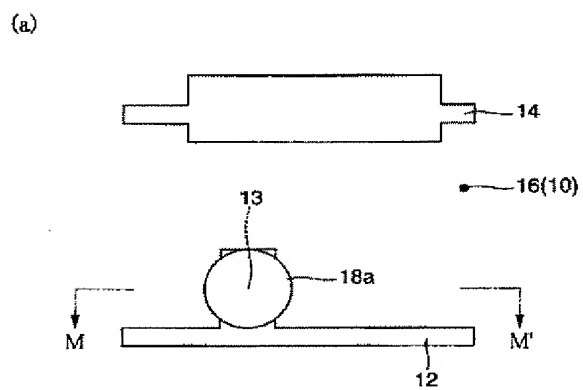
【図 6】



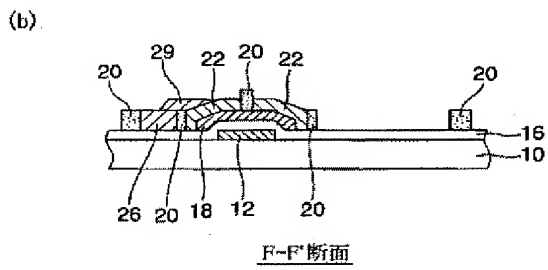
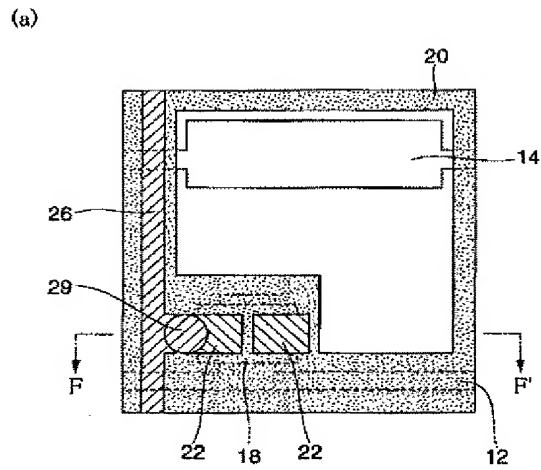
【図 7】



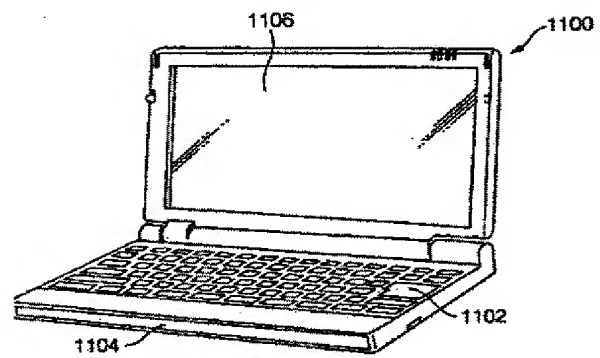
【図 15】



【図 8】

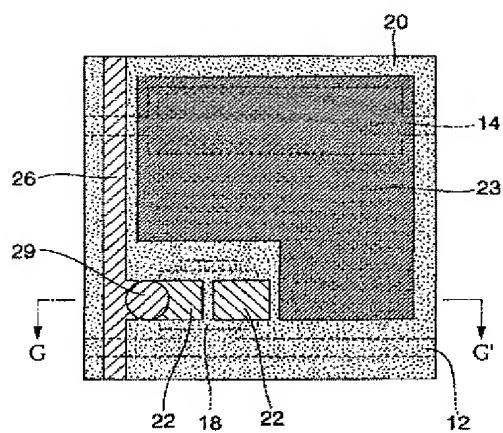


【図 16】

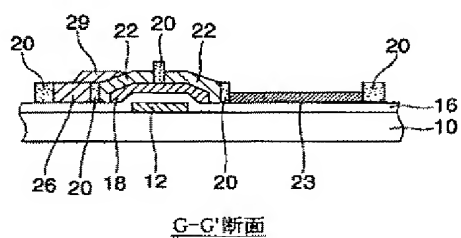


【図 9】

(a)

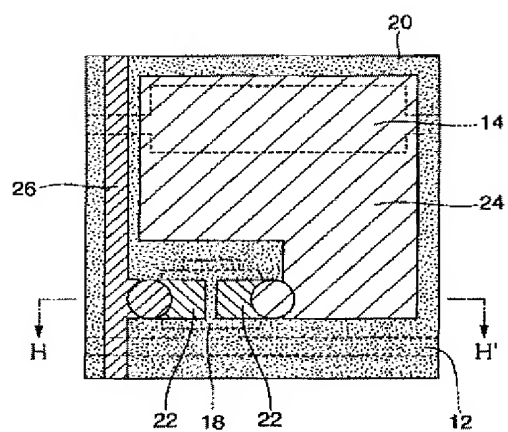


(b)

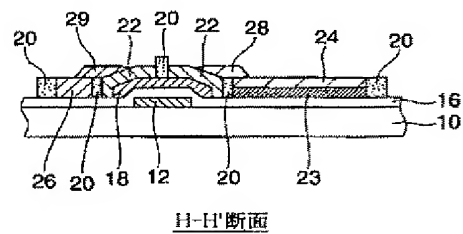


【図 10】

(a)

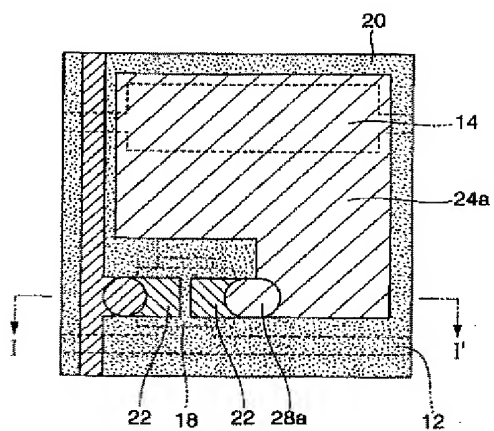


(b)

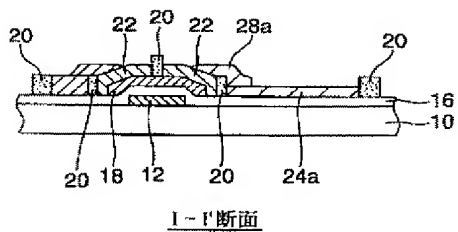


【図 1 1】

(a)

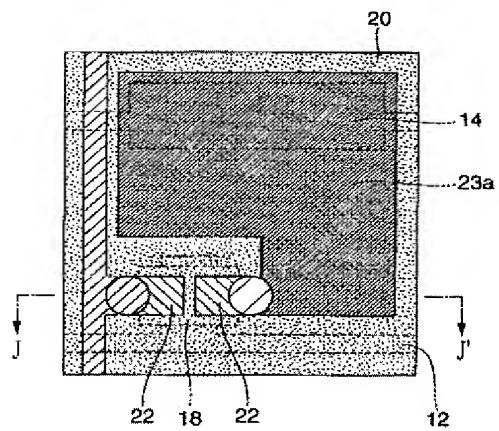


(b)

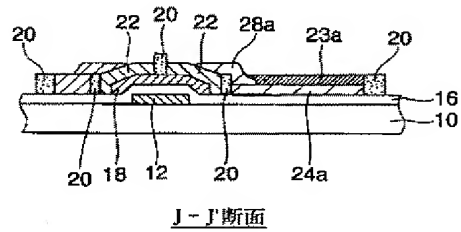


【図 1 2】

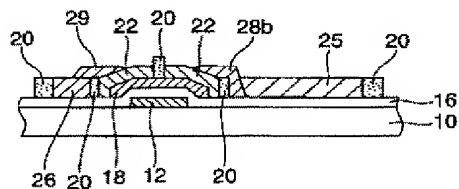
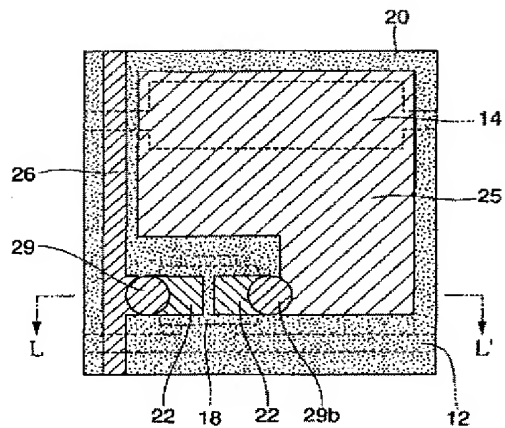
(a)



(b)



【图 14】



L-L'断面

(51) Int. Cl. ⁷

G O 9 F 9/30

H O 1 L 21/336
29/786

識別記号

$$\begin{array}{ccc} 3 & 3 & 8 \\ 3 & 4 & 9 \end{array}$$

F I

G O 9 F 9/30

H O 1 L 29/78

テーマコード* (参考)

3 3 8 5 F 1 1 0

3 4 9 B

6 1 6 L

6 2 7 C

6 1 2 D

F ターム(参考) 2H048 BA64 BB02 BB24 BB44
2H091 FA02Y GA03 GA07 GA13
LA12
2H092 HA03 JA24 JA28 JA34 JA37
JA43 JA45 JB56 KA07 MA10
MA12 MA29 MA37 NA27 PA08
4M104 AA01 BB01 BB04 BB05 BB07
BB08 BB09 BB36 CC01 CC05
DD22 DD37 DD43 DD51 DD55
DD78 DD81 GG09 GG10 GG14
GG20 HH14 HH20
5C094 AA43 AA44 AA48 BA03 BA43
CA19 CA24 DA13 DB01 DB04
EA04 EA05 EB02 ED03 FA01
FA02 FB01 FB12 FB14 FB15
5F110 AA16 AA30 BB01 CC07 DD01
DD02 DD03 EE02 EE04 EE41
EE42 EE44 EE45 FF02 FF03
FF09 FF30 GG02 GG15 GG41
GG42 GG45 HK02 HK09 HK16
HK21 HK25 HK31 HK32 HK42
HM17 HM18 NN12 NN27 NN36
NN73 QQ09